

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-221762

(43)Date of publication of application : 18.08.1995

(51)Int.Cl. H04L 12/28
H04Q 3/00

(21)Application number : 06-007420 (71)Applicant : HITACHI LTD

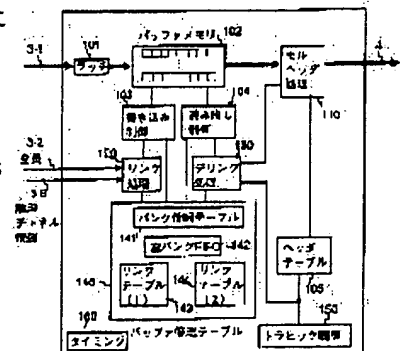
(22)Date of filing : 27.01.1994 (72)Inventor : KAWABATA KO
TAKASE
MASAHIKO
YANAGI
JUNICHIRO

(54) PACKET PROCESSING METHOD AND COMMUNICATION INTERFACE DEVICE

(57)Abstract:

PURPOSE: To suppress the increase in a management memory by applying a list structure to a frame of an optional size or an optional number of fixed length data blocks and storing tentatively the data to a buffer divided into plural banks and processing the data so as to utilize effectively the buffer memory.

CONSTITUTION: A recovery frame and logic channel information sent from a data unit generating section via a bus 3 is written in a buffer memory 102 in a transmission section 100, data are read corresponding to a channel designated by a traffic control section 150, a cell header processing section 110 adds a header and transfers the result to a bus 4. Then a buffer memory 102 is divided into plural banks each having plural data blocks of a fixed length packet, and when a frame length exceeds the bank capacity, the frame is allocated to the plural banks and a link processing circuit 120 applies list structure to the data blocks based on pointer information registered in a bank information table 141 to



store a frame of an optional size or an optional number of fixed length.

LEGAL STATUS

[Date of request for examination] 01.12.2000

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of
application other than the
examiner's decision of rejection or
application converted registration]

[Date of final disposal for
application]

[Patent number]

[Date of registration]

[Number of appeal against
examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-221762

(43) 公開日 平成7年(1995)8月18日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 12/28

H 0 4 Q 3/00

8732-5K

H 0 4 L 11/20

E

審査請求 未請求 請求項の数22 O L (全 17 頁)

(21) 出願番号 特願平6-7420

(22) 出願日 平成6年(1994)1月27日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 河端 香

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 高瀬 晶彦

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 柳 純一郎

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 バケット処理方法および通信インターフェイス装置

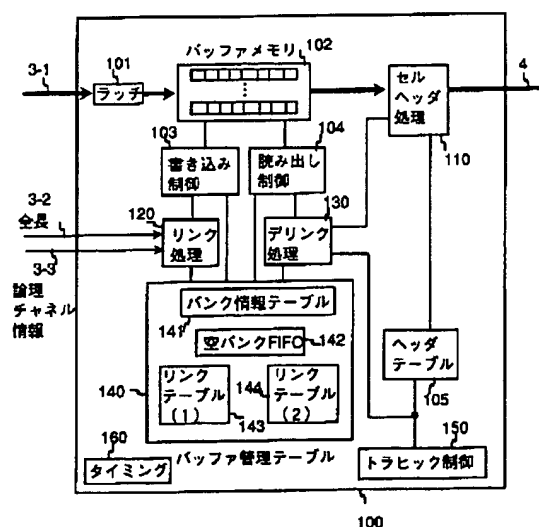
(57) 【要約】

【目的】 可変長フレームの固定長パケットへの変換と受信パケットから可変長フレームへの変換を効率よく行うパケット処理方法と通信インターフェイスを提供する。

【構成】 バッファメモリ102(202)を複数のバンクに分割しておく。各バンクは複数パケット分のデータ記憶容量を有し、フレームの長さ、または1フレームを構成するパケットの個数に応じて、適宜、複数のバンクをリンクさせる。

【効果】 任意サイズのフレームについて、バッファメモリと管理情報テーブルのエリアを有効に活用して、パケットへの変換/組立て処理を実行できる。

図1



【特許請求の範囲】

【請求項1】 可変長フレームを固定長の複数のデータブロックに分割し、各データブロック毎にヘッダを付して固定長パケットとして転送するパケット処理方法において、

可変長フレームを一時的に格納するためのバッファメモリにそれぞれ複数ブロック分の容量をもつ所定長さの複数のバンクを定義しておき、

受け取った可変長フレームが1つのバンクに収容できない場合は、ポインタ情報によってリスト構造化された複数のバンクに格納し、

単独またはリスト構造化された複数のバンクのうちの1つから固定長のデータブロックを順に読み出してパケットを生成するようにしたことを特徴とするパケット処理方法。

【請求項2】 前記バッファメモリ内に、受け取った可変長フレームの論理チャンネル情報に対応して複数のリスト構造を形成することを特徴とする請求項1に記載のパケット処理方法。

【請求項3】 論理チャンネル毎に予め出力パケットの帯域情報を記憶しておき、

上記帯域情報に基づいて決定された頻度で各論理チャンネルと対応するバンクをアクセスし、パケットを生成することを特徴とする請求項2に記載のパケット処理方法。

【請求項4】 出力回線のタイムスロットとバンク指定情報との対応関係を予め記憶しておき、

各タイムスロットにおいて、上記バンク指定情報で指定されたバンクから読み出されたデータブロックをパケット化することを特徴とする請求項1に記載のパケット処理方法。

【請求項5】 前記バッファメモリ内の空き状態にあるバンクを指定するための空きアドレスを記憶しておき、

空き状態にある1つのバンクに対して、蓄積データ長をカウントしながら可変長フレームを書き込み、蓄積データ長がバンク長に達する都度、次の空きアドレスに基づいて新たなバンクを獲得し、

同一フレームで使用された複数のバンクのアドレスを互いに関連付けて記憶しておくことを特徴とする請求項1～請求項4の何れかに記載されたパケット処理方法。

【請求項6】 前記バッファメモリ内の空き状態にあるバンクを指定するための空きアドレスをアドレスバッファに記憶しておき、

上記アドレスバッファから順に取り出された空きアドレスによって使用バンクを特定しながら前記フレームをバッファに蓄積し、

パケット化のための全ての固定長データブロックの読み出しを完了したバンクのアドレスを空きアドレスとして上記空きアドレスバッファに登録することを特徴とする請求項1～5の何れかに記載されたパケット処理方法。

【請求項7】 前記可変長フレームが、上位装置またはネ

ットワークから受け取ったフレームに補助フィールドを付加したことによって前記データブロック長さの整数倍となっていることを特徴とする請求項1～請求項6に記載のパケット処理方法。

【請求項8】 論理チャンネルの異なる複数の可変長フレームをそれぞれ固定長の複数のデータブロックに分割し、各データブロックを固定長パケットとして同一回線に多重転送するためのネットワーク終端装置におけるアダプテーション処理において、

受け取った可変長フレームを一時的に格納するためのバッファメモリに、それぞれ複数データブロック分の長さを持つ複数の固定長バンクを定義しておき、

可変長フレームを受け取った時、該フレームの長さに応じた単独またはリスト構造化された複数のバンクを論理チャンネル対応に確保して、上記可変長フレームを上記バッファメモリに格納し、

各バンクから固定長のデータブロックを順次を読み出し、これに論理チャンネル情報を含む所定のヘッダを付加して固定長パケットとすることを特徴とするパケット処理方法。

【請求項9】 論理チャンネル対応に固定長パケットの連続送信量と許容される最大バースト長とを記憶しておき、

連続送信量が最大バースト長を超えない範囲で、各論理チャンネル対応のバンクから固定長データブロックの読み出しを行うことを特徴とする請求項8に記載のパケット処理方法。

【請求項10】 固定長のデータブロック部分とヘッダとからなる固定長パケットを受信し、関連する複数のパケットのデータブロック部分を可変長フレームに組み立てるためのパケット処理方法において、

受信パケットのデータブロック部分を一時的に格納するためのバッファメモリにそれぞれ複数ブロック分の容量をもつ所定長さの複数のバンクを定義しておき、

各フレームの最初の受信パケットに対して空き状態にある新たなバンクを割当て、同一フレームを構成する全てのデータブロック部分を1つのバンクに収容できない場合はポインタ情報によってリスト構造化した新たなバンクを割当てながら、受信パケットのデータブロック部分を該パケットと対応するバンクに順次に格納し、

各フレームの最後のデータブロック部分がバンクに格納された時、フレームの組立て完了を示す情報を生成することを特徴とするパケット処理方法。

【請求項11】 各受信パケットのデータブロック部分を、受信パケットのヘッダに含まれる論理チャンネル情報に対応したバンクに格納することを特徴とする請求項10に記載のパケット処理方法。

【請求項12】 使用バンクを特定するためのバンクアドレスと論理チャンネル情報との対応関係を記憶しておき、

パケットが受信された時、受信パケットのヘッダに含まれる論理チャンネル情報に対応したバンクアドレスを求

め、該バンクアドレスで特定されるバンクに対して受信バケットのデータブロック部分を格納することを特徴とする請求項10または請求項11に記載のバケット処理方法。

【請求項13】前記組立て完了を示すバンクアドレスをアドレスバッファに登録しておく、

上記アドレスバッファから取り出したバンクアドレスによって特定される前記バッファメモリ内の1つのバンクからフレームのデータを順次に読み出し、該フレームがリスト構造化された複数のバンクに収容されている場合は、ポインタ情報として記憶されているバンクアドレスによって特定される後続のバンクから残りデータブロックを読み出すようにしたことを特徴とする請求項10～請求項12の何れかに記載のバケット処理方法。

【請求項14】それぞれ複数ブロック分の容量をもつ所定長さの複数のバンクが予め定義されているバッファメモリと、

可変長のフレーム毎に該フレームの長さに応じた個数の空きバンクを確保し、複数のバンクを確保した場合はこれらのバンクをリスト構造化しながら上記可変長フレームを上記バッファメモリの空きバンクに書き込むための手段と、

上記可変長フレームが格納された上記バッファメモリ中の単独またはリスト構造化されたバンクから、所定の順序で固定長のデータブロックを読み出すための手段と、

上記バッファメモリから読み出されたデータブロックにヘッダ付加し、固定長バケットとして送出するための手段とを備えたことを特徴とする通信インターフェイス装置。

【請求項15】前記バッファメモリ内に定義されたバンクのうち、空き状態にあるバンクを特定するための複数の空きアドレスを記憶する空きアドレスバッファを有し、

前記書き込み手段が、上記空きアドレスバッファからアドレスを取り出すことによってバンクを確保することを特徴とする請求項14に記載の通信インターフェイス装置。

【請求項16】前記書き込み手段が、可変長フレーム対応に、最初のバンクを指定するアドレスを記憶するための第1メモリ手段と、上記バンクにリンクされる後続のバンクのアドレスを記憶するための第2メモリ手段と、前記空きアドレスバッファから取り出されたアドレスを上記第1、第2メモリ手段に選択的に記憶するための手段とを備えることを特徴とする請求項15に記載の通信インターフェイス装置。

【請求項17】それぞれ複数ブロック分の容量をもつ所定長さの複数のバンクが予め定義されているバッファメモリと、

フレームの先頭のデータブロックを含む固定長バケットに対して、上記バッファメモリ中の空きバンクを割当

て、同一フレームの後続するデータブロックの全てを同一バンクに収容できない場合には、新たな空きバンクを確保し、同一フレームの複数のバンクをポインタ情報でリスト構造化しながら、受信バケットのデータブロックを上記バッファメモリのバンクに書き込むための手段と、

上記バッファメモリにフレームの最後のデータブロックを格納した時点で、該フレームの最初のデータブロックを含むバンクを示すアドレスを組立て完了情報として記憶するためのメモリ手段とを備えたことを特徴とする通信インターフェイス装置。

【請求項18】前記バッファメモリ内に定義されたバンクのうち、空き状態にあるバンクを特定するための複数の空きアドレスを記憶する空きアドレスバッファと、

前記完了情報として記憶されたバンクアドレスによって特定される前記バッファメモリ内の1つのバンクからフレームのデータを順次に読み出し、該フレームがリスト構造化された複数のバンクに収容されている場合は、ポインタ情報として記憶されているバンクアドレスによって特定される後続のバンクから残りデータブロックを読み出すための手段と、

フレームデータの読み出しを完了したバンクのアドレスを上記空きアドレスバッファに記憶するための手段とを備えたことを特徴とする請求項17に記載の通信インターフェイス装置。

【請求項19】前記書き込み手段が、可変長フレーム対応に、最初のバンクを指定するアドレスを記憶するための第1メモリ手段と、上記バンクにリンクされる後続のバンクのアドレスを前記ポインタ情報として記憶するための第2メモリ手段と、前記空きアドレスバッファから取り出されたアドレスを上記第1、第2メモリ手段に選択的に記憶するための手段とを備えることを特徴とする請求項18に記載の通信インターフェイス装置。

【請求項20】第1の伝送路側から受信した可変長フレームを第1のバッファメモリに一時的に蓄積して固定長の複数のデータブロックに分割し、各データブロックのヘッダを付して第2の伝送路側に固定長バケットとして転送する第1の変換手段と、

第2の伝送路側から受信した固定長バケットのデータブロックを第2のバッファメモリに一時的に蓄積して可変長フレームに組み立て、該可変長フレームを第1の伝送路側に転送する第2の変換手段とを有するインターフェイス装置において、

上記第1、第2のバッファメモリに、それぞれ複数のデータブロック分の容量をもつ所定長さの複数のバンクが予め定義され、

上記第1の変換手段が、第1の伝送路側から受け取った可変長フレームの長さに応じた個数の空きバンクを確保し、複数のバンクを確保した場合はこれらのバンクをリスト構造化しながら上記可変長フレームを上記第1のバ

ッファメモリの空きバンクに書き込むための手段と、上記可変長フレームが格納された上記第1のバッファメモリ中の単独またはリスト構造化されたバンクから、所定の順序で固定長のデータブロックを読み出すための手段と、上記第1のバッファメモリから読み出されたデータブロックにヘッダ付加し、固定長パケットとして送出するための手段とを備え、

上記第2の変換手段が、フレームの先頭のデータブロックを含む固定長パケットに対して、上記第2のバッファメモリ中の空きバンクを割当て、同一フレームの後続するデータブロックの全てを同一バンクに収容できない場合には、新たな空きバンクを確保し、同一フレームの複数のバンクをポインタ情報でリスト構造化しながら、受信パケットのデータブロックを上記第2のバッファメモリのバンクに書き込むための手段と、上記第2のバッファメモリにフレームの最後のデータブロックを格納した時点で、該フレームの最初のデータブロックを含むバンクを示すアドレスを組立てて完了情報として記憶するためのメモリ手段とを備えたことを特徴とする通信インターフェイス装置。

【請求項21】前記第2の変換手段が、前記メモリ手段に記憶されたアドレスによって特定される前記第2のバッファメモリ内の1つのバンクからフレームのデータを順次に読み出し、該フレームがリスト構造化された複数のバンクに収容されている場合は、ポインタ情報として記憶されているバンクアドレスによって特定される後続のバンクから残りデータブロックを読み出し、前記第1の伝送路側に転送するための手段を有することを特徴とする請求項20に記載の通信インターフェイス装置。

【請求項22】前記第1、第2の変換手段が、それぞれ論理チャネル対応に前記バンクまたはリスト構造化されたバンクを確保することを特徴とする請求項20または請求項21に記載の通信インターフェイス装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、パケット処理方法および通信インターフェイス装置に関し、更に詳しくは、固定長パケットであるATMセルを扱うネットワークとの接続インターフェイス、およびATMセルと可変長フレーム（ユーザーデータ）との相互変換のためのパケット処理（パケット生成とフレーム組立て）方法に関するものである。

【0002】

【従来の技術】ATM（Asynchronous Transfer Mode）通信システムでは、全ての情報が、例えば5バイトのヘッダと48バイトの情報フィールドからなる「セル」と呼ばれる固定長パケットの形式で送受信される。ATMネットワークの終端装置は、端末装置側から受け取った可変長のフレーム（ユーザーデータを含むフレーム）を固定長の複数のデータブロックに分割し、各データブ

ックにヘッダを付し、固定長のパケット（ATMセル）としてATMネットワーク側に送信すると共に、ATMネットワーク側から受信したATMセルのデータ部を可変長のフレームに組み立てるための機能（アダプテーション機能）を必要とする。

【0003】アダプテーション機能に関する従来技術として、例えば、特開平3-126346号公報の「パケット組立方式」でセルからフレームへの変換方式が、また、特開平3-141747号公報の「フレーム分解装置」でフレームからセルへの変換方式が知られている。

【0004】上記特開平3-126346号公報の「パケット組立方式」では、論理チャネル毎にバッファメモリを割当てておき、到着セルを論理チャネルに従ってバッファメモリに振り分ける構成を提案している。また、バッファメモリを有効に利用するために、上記フレーム組立用のバッファメモリを各セルのデータブロック長に合わせた多数のメモリ単位をチェーンした構成とし、空きバッファチェーン、論理チャネル毎の組立て中バッファチェーンおよび組立て完了バッファチェーンを形成して、論理チャネル毎の受信セルの組立てを行う方式を提案している。

【0005】また、特開平3-141747号公報の「フレーム分解装置」では、上位装置から受け取ったフレーム（ユーザーデータ）をフレーム単位で格納できるように複数の入力バッファを設けておき、フレームステータス情報に従って、各入力バッファからフレームデータの読み出しを一定のブロック長毎に行なうことにより、セルの多重送信を可能にした構成を提案している。

【0006】

【発明が解決しようとする課題】然るに、上記従来のパケット組立方式では、バッファメモリをセルの最大データブロック長をもつ多数のメモリ単位に分割しておき、セルデータを書き込んだメモリ単位を論理チャネル毎にチェーン（リスト構造化）した構成となっているため、1つのフレームの組立てに多数のメモリ単位を必要とし、メモリ単位間のチェーン情報を管理するための管理用メモリに大きな容量を必要とする。

【0007】また、上記従来のフレーム分解装置では、各フレームを固定長の1つの入力バッファに入力するようにしているため、可変長の任意のユーザーデータに対処するためには、入力バッファを予想される最大のユーザーデータ長に合わせておく必要がある。このため、短いユーザーデータを送信する場合は、入力バッファのメモリエリアに無駄が発生し、メモリの利用効率が悪いという問題がある。

【0008】本発明の目的は、バッファメモリを有効に利用でき、管理用メモリの容量の増大を抑えることのできるパケット処理方法、および通信インターフェイス装置提供することにある。

【0009】本発明の他の目的は、フレームからパケッ

トへの変換、またはパケットからフレームへの変換を高速に行えるパケット処理方法、および通信インターフェイス装置を提供することにある。

【0010】本発明の他の目的は、複数の論理チャネルで多重通信する装置に適したパケット処理方法、および通信インターフェイス装置を提供することにある。

【0011】本発明の他の目的は、論理チャネル毎に帯域を制御してパケットの送信が可能なパケット処理方法、および通信インターフェイス装置を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明のパケット処理方法および通信インターフェイス装置では、パケット化すべき可変長フレームを一時的に格納するためのバッファメモリ、または可変長フレームに組み立てるために受信パケットのデータ部を一時的に格納するためのバッファメモリを、それぞれが固定長パケットのデータブロック複数個分の容量をもつ複数のバンクに分割した構成としておき、1フレームのデータを1個のバンクに収容できない場合には複数のバンクを割当て、これらのバンクをポインタ情報によってリスト構造化するようにしたことを特徴とする。

【0013】尚、ここで言う「可変長フレーム」は、通信インターフェイスがネットワーク、上位計算機あるいは端末装置から受信したフレームに対して、固定長パケットデータブロックの整数倍にするための長さ調整用フィールドや制御情報フィールド等の補助フィールドを付加した構成のものを含む。

【0014】可変長フレームを固定長の複数のデータブロックに分割し、各データブロック毎にヘッダを付して固定長パケット（セル）として転送するパケット処理においては、可変長フレームのサイズがバンク長を超えた場合、フレームをバンクアドレスによってリスト構造化された複数のバンクに分割して格納し、単独またはリスト構造化された複数バンクのうちの1つから固定長のデータブロックを順に読み出してパケットを生成する。バッファメモリ内のバンクの割当ては、可変長フレームの論理チャネル対応にリスト構造を形成する。

【0015】また、論理チャネル毎に出力パケットの帯域が指定されている場合は、帯域情報に基づいて決定された頻度で各論理チャネルと対応するバンクをアクセスし、読み出されたデータブロックにヘッダを付してパケットを生成する。帯域の制御は、例えば、出力回線のタイムスロットとバンク指定情報との対応関係を予め記憶しておき、各タイムスロットにおいて、上記バンク指定情報で指定されたバンクから読み出されたデータブロックを含むパケットを送出する。論理チャネル対応に固定長パケットの連続送信量と許容最大バースト長とが指定されている場合は、連続送信量が最大バースト長を超えない範囲で、各論理チャネル対応のバンクから固定長デ

ータブロックの読み出しを行うことによって、バースト制御を行うことができる。

【0016】上位装置あるいはフレーム網から受信したフレームデータ（あるいは補助フィールドを付加したもの）のバンクへの格納は、例えば、空き状態にあるバンクを指定するための空きアドレスをアドレスバッファに記憶しておき、ここから取り出したアドレスで特定される1つのバンクに対して、データ長をカウントしながら可変長フレームを書き込み、蓄積データ長がバンク長に達する都度、次の空きアドレスを取り出して新たなバンクを獲得し、同一フレームで使用された複数のバンクをアドレステーブルで互に関連付けて記憶しておくことによって、任意の長さのフレーム受信に対処する。パケット化のための全てのデータブロックの読み出しを完了したバンクについては、アドレスを上記空きアドレスバッファに登録することによって、その後に入力される他のフレームに解放する。

【0017】固定長パケットを受信し、関連するパケット、例えば同一論理チャネルに属する複数のパケットから可変長フレームに組み立てるためのパケット処理においては、各フレームの最初の受信パケットに対して空き状態にある新たなバンクを割当て、同一フレームを構成する全てのデータブロック部分を1つのバンクに収容できない場合はポインタ情報によってリスト構造化した新たなバンクを割当てながら、受信パケットのデータブロック部分を該パケットと対応するバンクに順次に蓄積し、各フレームの最後のデータブロック部分がバンクに蓄積された時、フレームの組立て完了を示す情報を生成する。

【0018】受信パケットと使用バンクとの対応付けは、例えば、論理チャネル情報とバンクアドレスとの対応関係をテーブルに記憶しておき、パケットが受信された時、上記テーブルから受信パケットのヘッダに含まれる論理チャネル情報と対応するバンクアドレスを求め、該バンクアドレスで特定されるバンクに対して受信パケットのデータブロック部分を格納する。

【0019】上記組立て完了情報は、例えばバンクアドレスであり、完了アドレスバッファに登録される。上記完了アドレスバッファに登録されたバンクアドレスは順次に取り出され、該バンクアドレスによって特定される1つのバンクから組立てを完了したフレームの内容が読み出される。1つのフレームがリスト構造化された複数のバンクに分割して収容されている場合は、ポインタ情報として記憶されているバンクアドレスによって後続のバンクを特定し、残りデータを読み出す。

【0020】

【作用】本発明によれば、バッファを複数のバンクに分割し、各バンクを複数パケット分のデータブロックを格納できるサイズとし、1個のバンクで1フレーム分のデータを収容できない場合は複数のバンクを割当て、これ

らのバンクをリスト構造化するようにしているため、任意の長さのフレーム、あるいは1フレームを構成する任意個数のパケットを受信処理できる。この場合、各バンクのサイズを適切に設計することによって、データを格納することなく特定フレームに占有されてしまうメモリエリアの無駄を少なくできる。また、1つのバンクが複数パケット分のデータブロックを格納できるサイズとなっているため、1パケット分のデータブロックサイズをもつメモリエリア単位でリスト構造を形成する場合に比較して、リスト構造化のためのリンク情報あるいはポインタ情報の管理に必要なメモリエリアを小さくできる。

【0021】

【実施例】以下、本発明によるパケット処理方法と通信インターフェイス装置の実施例を図面を参照して詳細に説明する。以下の実施例で、本発明によるリスト構造のバンクを利用したパケット処理は、アダプテーション処理部1に適用される。

【0022】図2～図4に示すシステム構成において、アダプテーション処理部1は、伝送路あるいはバス2を介して受け取ったフレームを固定長パケット（以下、ATMセルという）に変換し、生成したATMセルを伝送路あるいはバス4に送出する。また、伝送路あるいはバス5を介して受信したATMセルを可変長フレームに変換し、可変長フレームを伝送路あるいはバス7に送出する。

【0023】図2は、アダプテーション処理部1が、端末装置をATM網に接続するためのATMインタフェース50に適用された場合のシステム構成を示す。ここで、端末装置はプロセッサ51とメモリ52とプロセッサバス53とからなり、ATMインタフェース50は、バスコントローラ54を介して上記プロセッサバス53に接続され、ATM網に対しては、ATM網回線終端としての機能をもつATM-IF55等を介して接続されている。

【0024】プロセッサ51は、ATM網に送信すべき通信情報（ユーザデータ）が発生すると、通信情報であるフレームをメモリ52に蓄積し、ATMインタフェース50に対して転送要求を発行する。アダプテーション処理部1は、プロセッサ51からの転送要求を受けると、メモリ52からフレームを読み出し、これを内部のバッファメモリに一時的に格納した後、ATMセルに変換してATM網に送信する。また、ATM網からATMセルを受信すると、これを内部のバッファメモリに蓄積し、フレームの組立てが完了すると、バスコントローラ54を介して、プロセッサ51への転送要求の発行と、メモリ52へのフレームの転送動作を行う。なお、アダプテーション処理部1は、バスコントローラ54の代わりに、FIFO型の通信バッファやディアルポートメモリを用いて、端末装置に接続することもできる。

【0025】図3は、アダプテーション処理部1が、フ

レーム網とATM網との間でフレームとATMセルとの相互変換を行なうターミナルアダプタに適用された場合のシステム構成を示す。アダプテーション処理部1は、フレーム網回線終端機能を果たすフレーム処理部61を介してフレーム網回線に接続され、ATM-IF55を介してATM網に接続される。

【0026】図4は、アダプテーション処理部1が、複数のフレーム網回線をATM網回線に多重化して接続するための多重化装置に適用された場合のシステム構成を示す。アダプテーション処理部1は、フレーム網毎に設けられ、フレーム処理部71と多重化回路72との間に接続される。

【0027】図5は、アダプテーション処理部1の構成を概略的に示したブロック図である。PDU作成部30は、バス2から受信したフレームに、後述するデータ長を調整するためのPADと固定長のトレイラを付加して、ATMセルのデータブロックの整数倍の長さをもつデータユニット（CPCS-PDU）を作成し、バス3を介してセル送信部100に渡す。セル送信部100は、CPCS-PDUを固定長の複数のデータブロックに分割し、各データブロックにセルヘッダを付加してATMセルに変換し、これをバス4に送信する。

【0028】セル受信部200は、バス5から受信したATMセルから抽出したデータブロックから再生フレーム（正確にはCPCS-PDU）を組み立て、これをバス6を介してフレーム正常性チェック部40に渡す。フレーム正常性チェック部40は、再生フレームのトレイラに含まれているチェックコードを利用してフレームの正常性を確認した後、PADと固定長のトレイラを除いたフレーム部をバス7に転送する。

【0029】図6は、PDU作成部30の構成を示すブロック図である。PDU作成部30は、バス2の1部をなすバス2-1からフレームを受け取り、チェックコードCRCの計算を行なうCRC計算部31と、フレームの長さ調整のために挿入すべきPAD長とCPCS-PDUの長さを計算するためのLength・PAD計算部32と、フレームの後にPADの挿入及びトレイラを付加するためのトレイラ付加部33とを有し、ATMセルデータブロックの整数倍の長さをもつデータユニットCPCS-PDUをセル送信部100に転送する。この時、CPCS-PDUの全長を示す情報が、計算部32からバス3-2を介してセル送信部100に通知される。バス2の1部をなすバス2-2は、フレームの論理チャネル情報を通知するためのものであり、論理チャネル情報は、PDU作成部30からバス3-3を介してセル送信部100に転送される。

【0030】図7は、図5におけるフレーム正常性チェック部40の構成を示すブロック図である。フレーム正常性チェック部40は、バス6の1部をなすバス6-1を介して受け取ったCPCS-PDUについてCRCの計

算を行なうCRC計算部41と、このCRC計算結果とCPCS-PDUトレイラのCRCフィールドに設定されたCRCの値とを比較するCRCチェック42と、バス6の1部をなすバス6-2を介してセル受信部200から通知されたCPCS-PDUの全長値とCPCS-PDUトレイラ内のLengthフィールドに設定された値とから受信フレームの長さのチェックを行うためのLengthチェック部43と、エラー発生時に上記CRCチェック42およびLengthチェック部43から通知を受け、何れかのエラー通知があった時、バス7-2にエラー信号を出力するエラー信号生成部44と、CRC計算部から受取ったCPCS-PDUからPAD19とトレイラ20を取り外し、フレーム部18をバス7-1に出力するトレイラ除去部45とからなる。

【0031】図8は、アダプテーション処理部が扱うフレームの一例として、ITUで定義されている「AAL5」と称するアダプテーション方式に適用されるフレーム構造を示す。但し、本発明はAAL5以外の他のアダプテーション方式にも適用可能である。

【0032】図8の(a)に示すように、フレーム18にPAD (Padding) 19とトレイラ20を付加することによって、セルデータブロック12 (12A~12N)の整数倍の長さをもつCPCS-PDU17が得られる。CPCS-PDU17を48バイトずつデータブロック(SAR-PDU)12A~12Nに分割し、それぞれのブロックにセルヘッダ11を付加することによって、ATMセル10A~10Nが生成される。CPCS-PDU17の最後のデータブロック(SAR-PDU)12Nには、フレームの終わりであることを示すためのフラグ情報を含むヘッダ11が付加される。

【0033】図8の(b)にCPCS-PDU17のトレイラ部の詳細構造を示す。CPCS-PDU17は、フレーム18と、CPCS-PDU長を48バイトの整数倍にするための0~47バイトのPADフィールド19と、8バイトのCPCS-PDUトレイラ20とからなる。CPCS-PDUトレイラ20には、CPCSユーザが使用する1バイトのCPCS-UU (CPCS User-to-User Indication) フィールド21と、トレイラを64ビットの倍数にするために挿入される1バイトのCPI (Common Part Indicator) フィールド22と、フレーム18の長さを示す2バイトのLengthフィールド23と、4バイトのCRCチェックフィールド24とが含まれている。

【0034】図9は、ATMセルのフォーマットを示す。各セル10は、5バイトのセルヘッダ11と48バイトの情報フィールド12とからなり、全長53バイトの固定長パケットとなっている。

【0035】セルヘッダ11は、12ビットのVPI (Virtual Path Identifier) と16ビットのVCI (Virtual Channel Identifier) とを含む論理チャネルフィー

ルド13と、セル種別を示す3ビットのPT (Payload Type) フィールド14と、セル損失優先率を示す1ビットのCLP (Cell Loss Priority) フィールド15と、セルヘッダ異常検出のための8ビットのHEC (Header Error Check) フィールド16とから構成される。

【0036】なお、それぞれ同一のフレームから分割されたデータブロックを情報フィールド12に含むセルには、論理チャネルフィールド13に同一の値(VPI+VCI)が与えられる。また、CPCS-PDU17の最後のデータブロックを含むセルには、ヘッダのPTフィールド14の下位1ビットが「1」となる。

【0037】図1は、図5に示したセル送信部100の詳細構成の1例を示す。セル送信部100は、PDU作成部30からバス3-1、バス3-2、バス3-3を介して、CPCS-PDU17、CPCS-PDU17の全長、及び論理チャネル情報をそれぞれ受け取る。CPCS-PDU17は、ラッチ101で一旦ラッチされた後、バッファメモリ102に書き込まれる。

【0038】バッファメモリ102は、後述するように複数セル分のメモリ容量をもつ複数のバンクからなり、CPCS-PDU17の長さに応じて、1個あるいはリスト構造化された複数個のバンクが入力CPCS-PDUに割り当てられる。

【0039】セルの送信は、トラヒック制御部150が指定する論理チャネル番号に従って行われる。すなわち、バッファメモリ102の複数のバンクのうち、トラヒック制御部150が指定する論理チャネル番号と対応するリスト構造化に属するバンクがアクセスされ、データブロック(SAR-PDU12)が読み出され、これにセルヘッダ処理部110でセルヘッダ11を付加することによって得られたセルがバス4に転送される。

【0040】書き込み制御回路103と読み出し制御回路104は、それぞれバンク内アドレスを生成しながら、バッファメモリへのデータ(CPCS-PDU17)の書き込みと、バッファメモリからのデータ(SAR-PDU12)の読み出しを行う。

【0041】リンク処理回路120とデリンク処理回路130は、それぞれ、バッファメモリ102内の複数のバンクをリンクさせるためのポインタ情報(バンクアドレス)のテーブル登録処理と、無用となったバンクをデリンクするためのポインタ情報の解放処理を行なう。140はバッファ管理テーブルメモリであり、バンク対応に蓄積データの管理情報を記憶するためのバンク情報テーブル141と、空バンクのアドレスを蓄積するための空バンクFIFO142と、リスト構造をなす複数のバンクをリンクするためのポインタ情報(バンクアドレス)を記憶する第1リンクテーブル(テーブル1)143および第2リンクテーブル(テーブル2)144から構成される。タイミング回路160は、書き込み処理と読み出し処理のタイミング信号を生成する。

【0042】図10と図11は、セル送信部100が行うバッファメモリ102へのデータ書き込み処理の説明図である。バッファメモリ102は、複数の固定長バンク124からなり、各バンクの長さを L_{Tmax} とする。第1リンクテーブル143は、論理チャネル対応に、書き込み対象となるバンク番号（バンクアドレス）WB143aと、読み出し対象となるバンク番号（バンクアドレス）RB143bとを記憶している。第2リンクテーブル144は、各バンク対応に、そのバンクに蓄積されたフレームデータに関する制御フラグ144bと、そのバンクにリンクされた次のバンクを示すバンク番号NB144aとを記憶している。バンク情報テーブル141は、バンク対応に、そのバンク内に蓄積されたデータの長さ（LT）141aと、バンク内の読み出しデータブロックを示すポインタ（RP）141bとを記憶している。

【0043】図10は、データユニット（CPCS-PDU）の全長TLがバンク長 TL_{max} 以下の場合の書き込み処理例を示す。バス3-3から論理チャネル情報を受けると、これをアドレス[A]として第1リンクテーブル143をアクセスし、アドレス[A]に対応する書き込みバンクアドレス（WB）143a-Aを読み出す。上記アドレスWBは、空バンクFIFO142から予め取り出しておいたもので、これによってi番目の空バンクの先頭から順に、バス3-1を介して受信したCPCS-PDU17が書き込まれる。

【0044】この例のように、バス3-2より受け取ったCPCS-PDU17の全長TLがバンク長 L_{Tmax} 124以下の場合、i番目のバンクに一つのCPCS-PDU17を書き終える、このバンクに格納されたデータの長さ $LT_i (=TL)$ が、バンク情報テーブル141のi番目のLTエリア141a-iに書き込まれ、第2リンクテーブル144のi番目のフラグFgエリア144b-iに、一つのCPCS-PDU17の終わりを示すビット"1"が設定される。また、空バンクFIFO142から新たなバンクアドレスjが読み出され、リンク情報として第2リンクテーブルのj番目のNBエリア144a-jに書き込まれる。この時、同じ論理チャネル情報を持つ次のCPCS-PDU17を第jバンクに蓄積できるようにするために、バンクアドレスjを第1リンクテーブル143のアドレス[A]にあるWBエリア143a-Aに登録しておく。

【0045】図11は、書き込むべきCPCS-PDU17の全長TLがバンク長 L_{Tmax} 124より長い場合の書き込み処理例を示す。この場合は、第1リンクテーブル143から読み出されたバンクアドレスWBによって、i番目のバンクにデータCPCS-PDU17の前部が格納される。格納データの長さ $LT_i (=バンク長L_{Tmax})$ がバンク情報テーブル141の第i番目のLTエリア141a-iに書き込まれ、第2リンクテ

ブル144のi番目のFgエリア144b-iに、続きのデータが存在することを示すビット"0"が設定される。更に、空バンクFIFO142から取り出された空バンクアドレスjが第2リンクテーブル144のj番目のNBエリア144a-jにリンク情報として記憶され、CPCS-PDU17の残りのデータが上記空バンクアドレスjで指定されるj番目の空バンクの先頭から書き込まれる。

【0046】残りのデータ長がバンク長 L_{Tmax} より長い場合は、上述した動作が繰返され、複数のバンクが次々とリンクされる。CPCS-PDU17の最後のデータ部分の書き込みが終わると、図10の場合と同様に、フラグFgエリア144b-jに、一つのCPCS-PDU17の終わりを示すビット"1"が設定され、空バンクFIFO142から新たなバンクアドレスkが読み出され、これが第2リンクテーブルのj番目のNBエリア144a-jと、第1リンクテーブル143のWBエリア143a-Aに登録される。

【0047】以上のように、セル送信部100の書き込み処理では、CPCS-PDU17毎にバンクが確保され、CPCS-PDU17の長さがバンク長 L_{Tmax} を超える場合は、複数のバンクをリンク情報でリスト構造化しながらデータ蓄積が行われる。尚、上記の実施例では、空バンクをCPCS-PDU17の到着に先立って確保しておく方式を採用しているが、CPCS-PDU17の到着時に新たな空きバンクを確保するようにしてもよい。この場合、バンクの確保に必要な時間は、ラッチ101における遅延によって与えられる。

【0048】次に与えられた新たなCPCS-PDU17が、前のものと同一の論理チャネル番号をもつ場合は、上記バンクのリスト構造が延長される形でデータの書き込みが行われる。新しい論理番号をもつ場合は、新たなバンクリストが生成される形でデータの書き込みが行われ、同一のバッファメモリ内に複数のフレーム（CPCS-PDU）が格納される。なお、後述するデータの読み出し処理によって、データの読み出しを終えたバンクは空きバンクとして次々と解放されるため、メモリが不足することはない。

【0049】次に、図12～図14を参照して、セル送信部100で行うバッファメモリからのデータブロックの読み出し処理について説明する。

【0050】論理チャネル番号[A]を指定すると、これをアドレスとして第1リンクテーブルがアクセスされ、チャネル番号[A]に対応した読み出しバンク番号（バンクアドレスRB）143b-Aが読み出される。バンクアドレスをiとすると、バンク情報テーブル141のi番目の読み出しポインタエリア141b-iからポインタPB1が読み出され、i番目のバンク内の上記ポインタ値（内部アドレス）RP1が示す記憶位置からデータブロック12aが読み出される。図12に示すよ

15

うに、1個分のデータブロックを読み出し終わった時点でバンク内にまだデータブロックが残っている場合 ($R'P'1 < LT1$) は、バンク情報テーブルの $R'P$ エリア $141b-1$ の値を次の内部アドレスの値 $R'P'1$ に更新しておく。図13は、1つのバンクの最後の内部アドレス位置にあるデータブロックを読み出した場合の動作を示す。データブロック ($SAR-PDU$) $12b$ の読み出しを終えた時、更新後の読み出しポインタの値 $R'P'1$ が LT エリア $141a-1$ の示すバンク内データ長 $LT1$ に達した場合は、第2リンクテーブル 144 のフラグエリア $144b-1$ の内容 Fg をチェックする。もし、 Fg が続きデータの存在を示している場合 ($Fg = "0"$)、第2リンクテーブルの i 番目の次バンク番号エリア $144a-i$ から NB の値 j を読み出し、これを第1リンクテーブル 143 の読み出しバンク番号エリア $143b-A$ に書き込み、データの読み出しを終えたバンク i のアドレスを空バンク $FIFO$ 142 に登録する。

【0051】図14は、 $CPCS-PDU$ の最後のデータブロック $SAR-PDU$ $12c$ を読み出した場合の動作を示す。データブロックを読み出した後、バンク内部アドレスの値 $R'P'1$ がバンク情報テーブル 141 の LT エリア $141a-i$ が示すバンク内データ長 $LT1$ に達した場合、もし、第2リンクテーブル 144 のフラグエリア $144b-i$ が $Fg = "1"$ であれば、最終セルであることを示すセルヘッダ 11 を $SAR-PDU$ $12c$ に付加する。この後、図13の場合と同様、次バンク番号エリア $144b-1$ の NB 値 j を読み出し、第1リンクテーブル 143 のバンク番号エリア $143b-A$ に書き込み、データの読み出しを全て終ったバンクのアドレス i を空バンク $FIFO$ 142 に登録する。

【0052】このように、セル送信部 100 の読み出し処理では、書き込み処理により形成されたリスト化バンクを論理チャネル対応アクセスしてセルを読み出す。上記実施例では、第1リンクテーブル 143 、第2リンクテーブル 144 、バンク情報テーブル 141 を別個のものとして説明したが、これらは物理的に同一のメモリ内に領域を分割して構成しても良い。また、バッファメモリ 102 内に上記各テーブルのための領域を用意してもよい。

【0053】図15は、上述した機能を実行するセル送信部 100 の具体的な回路構成の1例を示す。セレクト 161 、 162 、 163 は、書き込み処理と読み出し処理のタイミングで切り替えるためのものである。パス $3-3$ を介して論理チャネル情報を受け取ると、この論理チャネル情報をアドレスとして、第1リンクテーブル 143 の書き込みバンク番号エリア $143a$ からバンクアドレス WB を読み出し、これを書き込みアドレス (WA) 生成回路 103 に与える。この時、第1リンクテーブル 143 から読み出されたバンクアドレス WB は、ラ

16

ッチ 122 にラッチしておく。

【0054】 WA 生成回路 103 は、バッファメモリ 102 の上記バンクアドレス WB で指定されるバンク領域における内部アドレスを生成しながら、パス $3-1$ から入力されラッチ 101 にラッチしてあったデータ ($CPCS-PDU$ 17) を順次にバンクに書き込む。 WA 生成回路 103 は、データ書き込みに並行してデータ長 LT をカウントする。上記 LT の値は、比較回路 123 でバンク長 LT_{max} 124 と比較され、比較回路 126 でパス $3-2$ から受け取った $CPCS-PDU$ 17 の全長と比較される。

【0055】全長が LT と一致した時点で、比較回路 126 から停止信号が出力され、 WA 生成回路 103 に書き込み停止を指示する。この時、バンク情報テーブル 141 にバンク内のデータ長 LT $141a$ が記憶される。また、次のバンクを確保するために、空バンク $FIFO$ 142 に $Read$ 信号が与えられ、空バンクのアドレスが読み出される。このバンクアドレスは、第1リンクテーブル 143 の WB エリア $143a$ と、第2リンクテーブル 144 の NB エリア $144a$ に記憶される。また、 Fg エリア $144b$ にビット「1」が設定される。

【0056】 LT が LT_{max} になった場合は、バンク内のデータ長 ($= LT_{max}$) が LT エリア $141a$ に書き込まれ、次のバンクを確保するために、空バンク $FIFO$ 142 に $Read$ 信号 127 が与えられる。読み出された空バンクアドレスは、第2リンクテーブルの前の書き込みバンク番号に対応した NB エリア $144a$ に記憶され、これによってバンクがリンクされる。また、上記空バンクアドレスは、 WA 生成回路 103 に通知され (121)、これによって指定されたバンクに対して残りデータの書き込みが継続される。上述したバンク切り替えの都度、データ ($CPCS-PDU$ 17) の全長から LT_{max} を引いた残りデータ長 (128) がバンク内データ長 LT と比較され (126)、残りデータ長が LT と一致するまでデータ書き込み処理が繰り返される。

【0057】バッファメモリ 102 からのデータブロックの読み出しは、送出タイムスロット生成回路 151 で生成されるタイムスロット毎に行なわれる。帯域制御テーブル 152 は、タイムスロットと論理チャネル番号との関係を記憶しており、タイムスロットが生成されると、該当する論理チャネル番号が読み出される。上記論理チャネル番号に対応して、ヘッダテーブル 105 からセルヘッダ 11 が読み出される。また、第1リンクテーブルのエリア $143b$ から RB が読み出され、バンク情報テーブル 141 の上記 RB に対応したエリア $141b$ から $R'P$ が読み出され、バンク内の読み出しデータブロックの先頭アドレスが得られる。

【0058】これと同時に、バンク内データ長 LT $141a$ が読み出され、これから 48 バイト引いた値が $R'P$ $141b$ と比較される (132)。もし一致した場合

は、バンク内のデータを全て読み出し終わったことを意味し、空バンクFIFO142にWrite信号を与えて、バンク番号を空きバンクアドレスとして空バンクFIFOに戻す。また、第2リンクテーブル144より次バンク番号NB144aを読み出し、第1リンクテーブル143のRB143bに登録する(134)。もしFg="1"の場合は最終セルを意味し、最終セル信号をセルヘッダ生成回路111に与え、最終セルヘッダを生成する。そして、セルヘッダ付加回路112に、セルヘッダ生成回路111で生成したセルヘッダ11を出力させ、これに続いて、バッファメモリ102から読み出された48バイトデータを出力させる。最終セルでない場合は、バンク情報テーブル141のRP141bに読み出しポインタを書き込む。

【0059】上記実施例の変形として、各論理チャンネル毎に連続出力できるセルの個数(最大許容バースト値)をテーブルに記憶しておき、セル生成の都度、論理チャンネル対応のカウントで連続出力個数をカウントし、これが許容バースト値を超えないように出力制御するようにしてもよい。

【0060】図16は、セル受信部200の構成の1例を示すブロック図である。セル受信部200は、バス5を介してセル10を受信すると、セルヘッダ処理部210でセルヘッダ11を分離し、SAR-PDU12を一旦ラッチ201にてラッチした後、バッファメモリ202に書き込む。組み立て終わったフレーム(CPCS-PDU17)は、バス6-1を介してフレーム正常性チェック40に転送される。この時、バス6-2にCPCS-PDU17の長さ出力する。

【0061】書き込み制御回路203と読み出し制御回路204は、バッファメモリ202の書き込み/読み出しアドレスを生成する回路である。バッファメモリ202は固定長バンクに分割管理し、リンク処理220とデリンク処理230は、バンクをリスト構造化するためのリンク処理と空きバンク解放のためのデリンク処理を行うためのものである。

【0062】バッファを管理するためのバッファ管理テーブル240は、バンク内の情報を記憶するバンク情報テーブル241と、空バンクのアドレスを蓄積するための空バンクFIFO242と、フレームの組み立てを完了したバンクを指定するための完了バンクFIFO243と、関連する複数のバンクをリンクするための情報を記憶する第1リンクテーブル244および第2リンクテーブル245より構成される。タイミング回路250は、書き込み処理と読み出し処理のタイミングを生成するためのものである。

【0063】図17～図19は、セル受信部200におけるバッファメモリ202への書き込み処理を説明するための図である。

【0064】バッファメモリ202は、複数の固定長バ

ンクから構成されており、各バンクの長さをLTmax222とする。第1リンクテーブル244は、論理チャンネル情報をアドレスとしてアクセスされる記憶エリアに、書き込みバンク番号(バンクアドレスWB)244aと読み出しバンク番号(バンクアドレスRB)244bを記憶している。

【0065】第2リンクテーブル245は、リスト化された次のバンクを示すバンクアドレス(NB)245aとフラグ245bをバンク対応に記憶するためのものであり、バンク情報テーブル241は、バンク内の書き込みアドレス(ポインタWP)241をバンク毎に記憶するためのものである。

【0066】書き込み処理においては、図17に示すように、バス5を介して受信したセルの論理チャンネル番号[A]を読み取り、第1リンクテーブル143から、上記チャンネル番号[A]に対応した書き込みバンク番号WB:244b-Aを読み出す。新たな論理チャンネルにおける最初のセルを受信したとき、空バンクFIFO242から取り出されたバンク番号が既に第1テーブルに設定されているものとする。

【0067】今、上記バンク番号をiとすると、バンク情報テーブル241からバンクiに対応したバンク内書き込みポインタWP241-iを得て、バンクiの書き込みポインタ値WPiが示す記憶位置に、受信セルのデータ部(データブロック:SAR-PDU12d)を書き込む。

【0068】図17のように、1個のデータブロックSAR-PDU12dを書き終わった時点で、バンク内に空きが残っている場合(WP'i<LT)は、WP241-iの値をWP'iに更新する。

【0069】図18に示すように、1個のデータブロック(SAR-PDU12b)を書き込み、書き込みポインタの値を更新した時点で、ポインタ値WP'iがバンク長LTmaxに達した場合は、受信セルが最終セルでなければ、第2リンクテーブル245のフラグ(Fg)245b-iにビット"0"を立て、同一フレームに続きのデータブロックが存在していることを示す。また、空バンクFIFO242から新たな空バンクアドレスjを取り出し、第2リンクテーブルの第1番目の次バンク番号エリア245a-iにNB値jを書き込み、第jバンクを第1バンクにリンクさせる。同一論理チャンネルの次に到着するセルを第jバンクに書き込めるようにするため、第1リンクテーブル244の書き込みバンク番号エリア244a-Aにバンク番号jを登録しておく。

【0070】図19に示すように、1つのフレーム(CPCS-PDU17)の最終のデータブロック(SAR-PDU12f)のセルを受信した場合は、CPCS-PDU17の終わりを示すためにバンクiのフラグFgiにビット"1"を立てておく。また、フレーム(CPCS-PDU17)の組み立てが終わったことを示すため

に、完了バンクFIFO243に第1リンクテーブル244の読み出しバンク番号RB244b-Aを登録する。この時、空バンクFIFO242から次の空バンクアドレスJを取り出し、これを第1リンクテーブル244のWBエリア244a-AとRBエリア244b-Aに記憶することによって、次に受信する同じ論理チャネル番号Aに属した別のフレーム(CPCS-PDU)の組み立て用のバンクを確保しておく。

【0071】上述したように、セル受信部200における書き込み処理では、論理チャネルごとに確保したバンクにデータブロックSAR-PDU12を順次に書き込み、フレームがバンク長を超えた場合は、新たに獲得したバンクをリンクし、この新しいバンクに後続セルのデータブロックを書き込み、最終セルを受信した場合は、完了バンクFIFO243にCPCS-PDU17の先頭のバンク番号(=読み出しバンク番号RB244b)を登録することによって、任意長さのフレームを組み立てることが可能になる。後述するフレームの読み出し処理によって、空き状態となったバンクが次々と解放されるため、バンクが不足することはない。

【0072】本実施例では、次のフレームの先頭セル10の到着に先立って空バンクを確保しておく方式を採用したが、先頭セル10の到着時にバンクを確保するようにしてもよい。この場合、バンク確保に必要な時間は、ラッチ201における遅延時間によって確保できる。

【0073】次に、図20と図21を参照して、バッファメモリからの組立て済みフレーム(CPCS-PDU17)の読み出し処理について説明する。

【0074】図20に示すように、完了バンクFIFO243からバンク番号Iを読み出し、これによって特定されるバンクの先頭から、バンク情報テーブル241のWP241-iが示すポインタ位置までのデータを読み出す。読み出されたデータは、バス6-1を介してフレーム正常性チェック40に転送する。1つのバンクからのデータの読み出しが終了すると、用済みとなったバンクを解放するために、バンク番号Iを空バンクFIFO242に登録する。

【0075】次に、第2リンクテーブル245のフラグFg245b-iをチェックし、もしビット"1"が立っていた場合は、上記第1バンクで1つのフレーム(CPCS-PDU17)が完了しているため、CPCS-PDUの長さTL(=WP1)をバス6-2を介してフレーム正常性チェック40に通知する。この後、完了バンクFIFO243から次のバンク番号Jを読み出し、別のCPCS-PDU17について、バッファメモリからのデータの読み出しと転送動作を繰り返す。

【0076】図21は、1つのフレームが複数のバンクに分割して格納されていた場合の読み出し処理を示す。完了バンクFIFO243より得たバンク番号Iに基づいて、第1バンクからデータを読み出し終わった時、バ

ンク番号Iに対応する第2リンクテーブルのフラグFgエリア245b-iにビット"0"が立っていた場合、続きのデータが存在することが判る。

【0077】この場合、第2リンクテーブルのNBエリア245a-iから次に読み出すべきデータが格納されたバンクの番号Jを読み取り、第Jバンクをアクセスして、WP241-Jの示すポインタ位置までデータを読み出す。もし、第2リンクテーブルのフラグFg245b-iが"1"となっていれば、WP241-iに蓄積されていた値WP1とWP241-Jに蓄積されていた値WPJを加算することによって、CPCS-PDUの全長TLを求め、バス6-2に出力する。このような手順を繰り返すことによって、任意個数のバンクにまたがる長いCPCS-PDU17を読み出すことが可能である。

【0078】以上の説明では、第1リンクテーブル244、第2リンクテーブル245、バンク情報テーブル241を別々のものとして説明したが、これらは物理的に同一メモリ上に領域を分割して構成しても良い。また、バッファメモリ202内に設けた領域を用いることも可能である。

【0079】図22は、セル受信部200の具体的な回路構成の1例を示す。セクタ251、252は、書き込み処理と読み出し処理のタイミングを交互に切り替えるためのものである。

【0080】バス5を介してセル10を受信すると、セルヘッダ分離回路211でセルヘッダ11を分離し、PTフィールドを最終セル信号生成回路213に送り、VPI/VCIFフィールドをヘッダ変換回路212に送る。セルヘッダを分離したSAR-PDU12は、ラッチ201に一旦ラッチしておく。

【0081】ヘッダ変換回路212は、分離されたVPI/VCIFを論理チャネル情報に変換し、第1リンクテーブル244のアドレスとする。第1リンクテーブル244からは、論理チャネルに対応する書き込みバンク番号WB244aが読み出される。このバンク番号をアドレスとしてバンク情報テーブル241がアクセスされ、バンク内書き込みポインタWPが読み出される。また、書き込みアドレス(WA)生成回路203で、上記バンク番号を持つバンク内の書き込みアドレスが生成され、ラッチしておいたSAR-PDU12がバッファメモリ202内の所定のバンクに蓄積される。バンク情報テーブル241の書き込みポインタWPは、1セル受信する毎に更新される。

【0082】「WP+48バイト」(221)の値がバンク長LTmax222と一致した場合(223)、バンク内にデータが一杯になったことを意味する。この場合、バンク情報テーブル241に書き込みポインタWPを記憶した後、Read信号生成回路22でRead信号を発生させし、空バンクFIFO242から次の空バ

リンク番号を読み出す。そして、第2リンクテーブルの次バンク番号NBエリア245aと書き込みバンク番号WBエリア244aに上記空バンク番号を登録し、同じCPCS-PDU17に属する後続のSAR-PDU12を蓄積するためのバンクを確保しておく。

【0083】セルヘッダ分離回路211で分離されたPTが最終セルを示している場合は、最終セル信号を生成する(213)。最終セルの場合は、第2リンクテーブル245のフラグFgエリア245bにビット「1」を立て、CPCS-PDU17の最後のデータブロックを含むことを示す。また、完了バンクFIFO243にWrite信号を与え、第1リンクテーブル244の読み出しバンク番号RB244bを完了バンクFIFO243に書き込む(243)。この後、Read信号生成回路224から空バンクFIFO242の読み出し信号を発生させ、空バンクFIFO242から次の空バンク番号を取り出し、これを第1リンクテーブル244のWBエリア244aに登録しておく。

【0084】組立てられたCPCS-PDU17のバッファメモリ202からの読み出しは以下のように行われる。

【0085】完了バンクFIFO243のempty信号を使って、完了バンクFIFO243が空でないときには、Read信号生成回路23で読み出し信号を発生させる。これによって完了バンクFIFO243からバンク番号が読み出され、RA生成回路204にバンク番号が与えられる。RA生成回路204は、上記バンク番号をもつバンク内の読み出しアドレスを生成して、バッファメモリ202からデータを読み出し、バス6-1を介してフレーム正常性チェック40に転送する。この時、読み出しアドレスと書き込みポインタ241とが比較され(234)、もし一致した場合は、空バンクFIFO242にWrite信号を与え、読み出しを終えて空になったバンクのバンク番号を空バンクFIFO242に登録する。第2リンクテーブル245のフラグFg245bにビット「0」が立っている場合は、第2リンクテーブル245の次バンク番号NBエリア245aを読み出し、RA生成回路204に与える。これによって、後続のバンクから残りデータが読み出される。フラグビットに「1」が立っていれば(235)、Read信号生成回路231が完了バンクFIFO243の次のバンク番号を読み出し、上述した一連の読み出し処理を繰り返す。

【0086】新しいバンクを読み出す毎に、各WP241の値を加算器233で加算しておき、1個CPCS-PDU17を転送し終わる度に、全長データをバス6-2を介してフレーム正常性チェックに転送する。

【0087】

【発明の効果】以上に述べたように、本発明によれば、パケット化すべきフレーム、または受信パケットの固定

長データブロック部分を一時的に格納するためのバッファメモリを複数の固定長バンクに分割しておき、各バンクを複数データブロック分のサイズとし、フレームあるいは論理チャネル対応に複数のバンクを随時にリンクさせることによって、任意サイズのフレームまたは任意個数の固定長データブロックを蓄積可能としている。本発明によれば、バッファメモリおよびリンク情報管理のためのメモリエリアを効果的に利用でき、複数論理チャネルのパケット処理、パケット多重化処理、帯域制御も容易にできる。

【図面の簡単な説明】

【図1】フレームをパケット化する機能を備えた本発明によるセル送信部の1実施例を示すブロック図。

【図2】本発明による通信インターフェイスの計算機への応用例を示すシステム構成図。

【図3】本発明による通信インターフェイスのネットワーク間接続装置への応用例を示すシステム構成図。

【図4】本発明による通信インターフェイスの多重化装置への応用例を示すシステム構成図。

【図5】アダプテーション処理部1の構成を示す図。

【図6】図5におけるPDU作成部30の構成を示す図。

【図7】図5におけるフレーム正常性チェック部40の構成を示す図。

【図8】パケット処理の対象となるフレームの構成とパケットとの関係を示す図。

【図9】固定長パケット(ATMセル)の構成を示す図。

【図10】フレームがバンク長より短い場合のバッファメモリへのフレームデータの格納処理を説明するための図。

【図11】フレームがバンク長を超える場合のバッファメモリへのフレームデータの格納処理を説明するための図。

【図12】フレームがバンク長より短い場合のバッファメモリからのデータブロックの読み出し処理を説明するための図。

【図13】フレームがバンク長を超える場合のバッファメモリからのデータブロックの読み出し処理を説明するための図。

【図14】バッファメモリからのフレーム最終データブロックの読み出し処理を説明するための図。

【図15】セル送信部の詳細構成の1例を示す構成図。

【図16】受信パケットをフレームに組み立てる機能を備えた本発明によるセル受信部の1実施例を示すブロック図。

【図17】組み立てられたフレームがバンク長より短い場合のバッファメモリへのパケットデータブロックの格納処理を説明するための図。

【図18】組み立てられたフレームがバンク長を超える

24

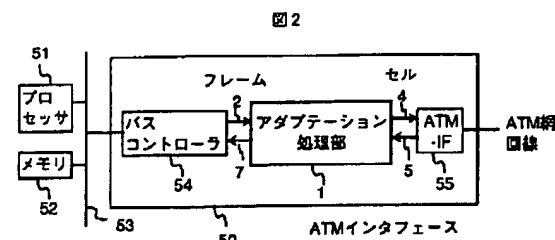
処理を説明するための図。

【図 2 2】セル受信部の詳細構成の 1 例を示す図。

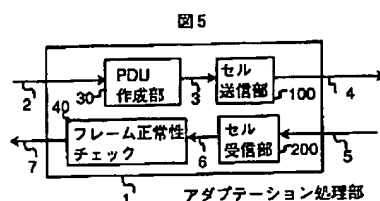
【符号の説明】

1…アダプテーション処理部、50…ATMインターフェイス、100…セル送信部、200…セル受信部、102、202…バッファメモリ、103、203…書き込み制御部、104、204…読み出し制御部、140、240…バッファ管理テーブル、142…空きバンクFIFO。

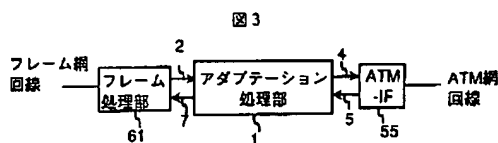
【图2】



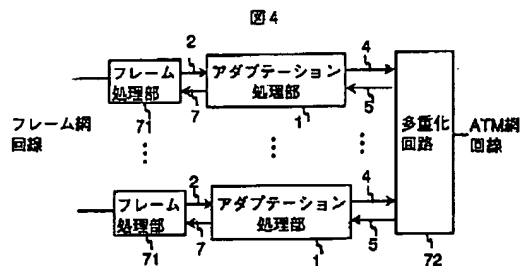
【图5】



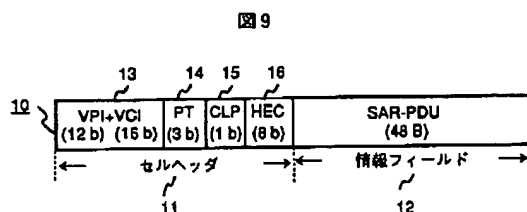
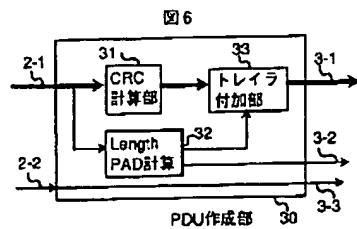
【図4】



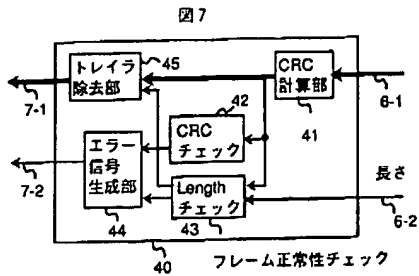
【图 6】



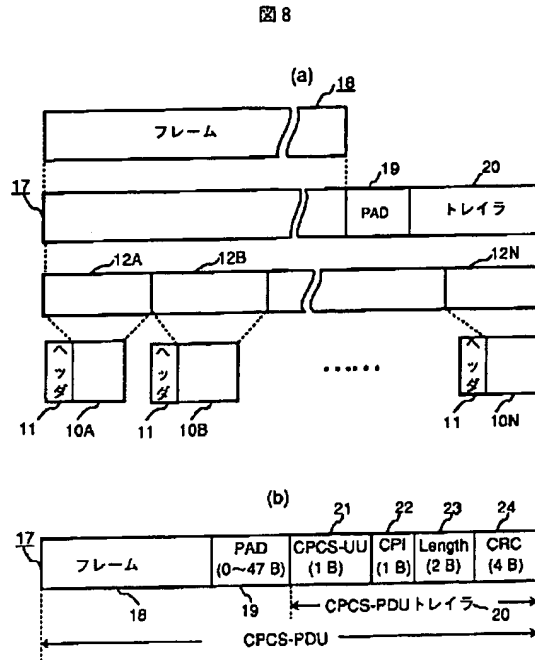
【例 9】



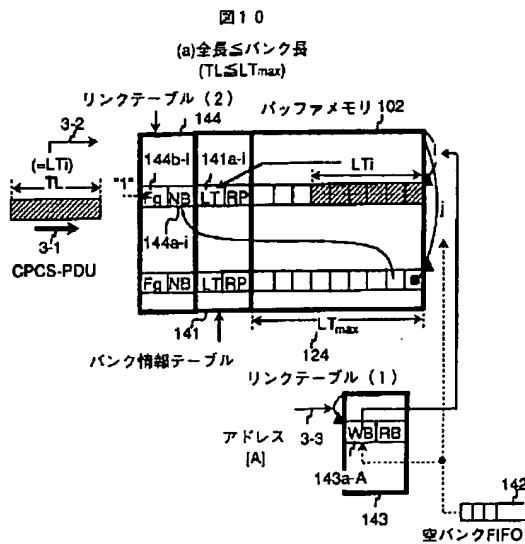
【图7】



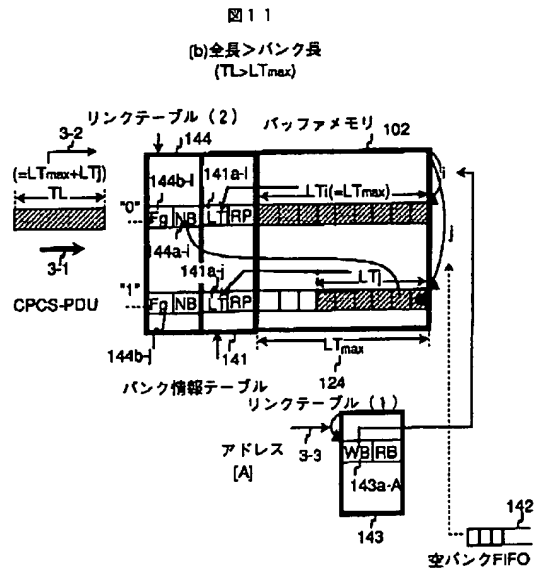
【图8】



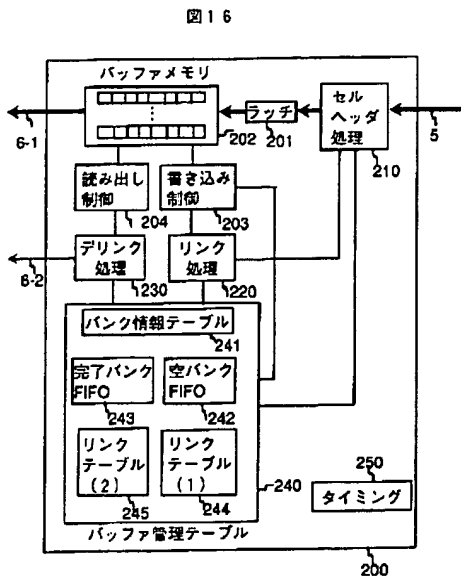
【図 10】



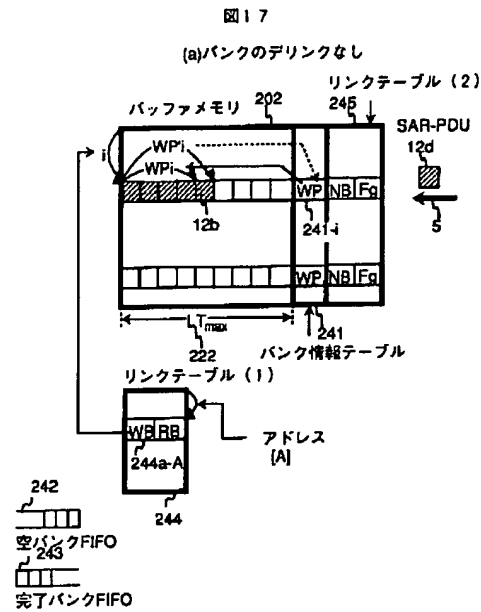
【図 1 1】



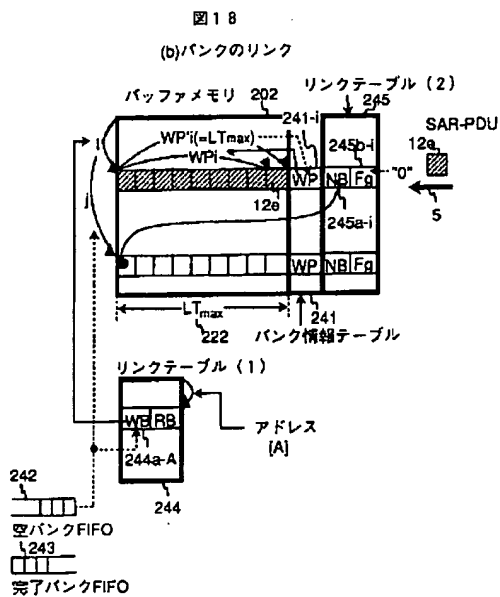
【図16】



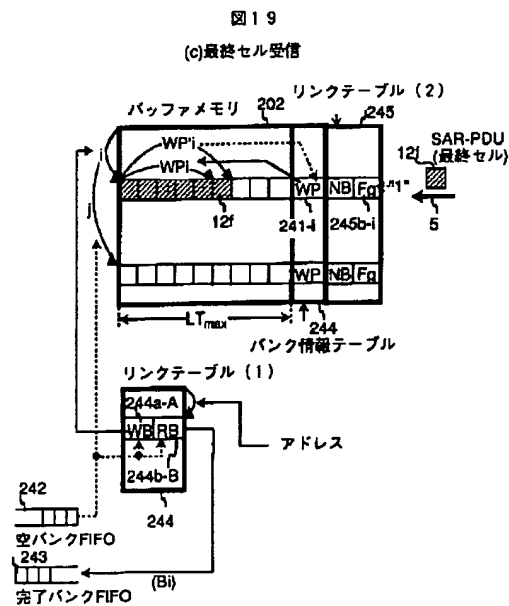
【図17】



【図18】



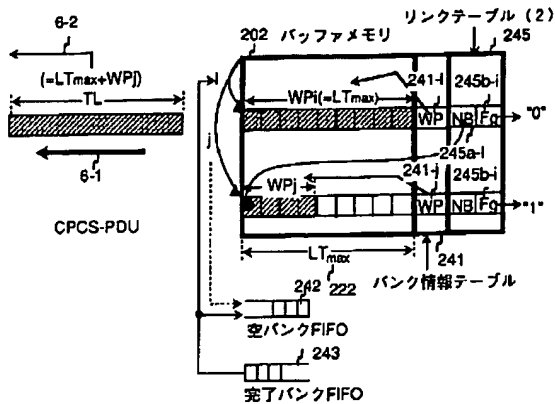
【図19】



【图 2 1】

21

(b) 全長>バンク長
($TL > L_{Tmax}$)



【図 2 2】

图 2-2

